

**RABIN & CHAMPAGNE, P.C.**

STEVEN M. RABIN  
THOMAS M. CHAMPAGNE\*  
ROBERT H. BERDO, JR.  
GEORGE F. WALLACE\*  
QIXIA ZHANG, Pat. Agent (China)  
\*ADMITTED TO A BAR OTHER THAN D.C.

SUITE 500  
1101 14th STREET, N.W.  
WASHINGTON, D.C. 20005

PATENT, TRADEMARK  
AND COPYRIGHT LAW  
TELEPHONE: (202) 659-1915  
TELEFAX: (202) 659-1898  
E-MAIL: firm@rabinchamp.com



In Affiliation with  
RONALD J. KUBOVCIK  
KEIKO KUBOVCIK, Reg. Pat. Agent

March 14, 2001

**Box: PATENT APPLICATION**

Assistant Commissioner for Patents  
Washington, D.C. 20231

Attorney Reference: TAIW 106

**Re:** New Patent Application of: Chun-Nan TSAI, Hou-Li CHU,  
and Chih-Hao FENG

**Title:** PCI BUS CYCLE SINGLE-STEP INTERRUPTION DEBUG CARD

Sir:

Please find attached hereto an application for patent which includes:

- ☒ Specification, Claims and Abstract (10 pages)
- ☒ 3 Sheets of Formal Drawings (Fig. 1 through Fig. 3)
- ☒ Inventor's Declaration and Power of Attorney (2 Pages)
- ☒ Claim for priority and Priority document
- ☒ Assignment document with cover page (2 Pages)
- ☒ Fee (see formula below)
- ☐ Small entity form ( Page)

Basic Fee \$355/710 \$ 710.00

Additional Fees:

Total number of claims: 13  
in excess of 20: 0 times \$9/18 \$ 0.00

Number of independent claims: 2  
in excess of 3: 0 times \$40/80 \$ 0.00

Multiple Dependent Claims \$135/270 \$ 0.00

Recording Fee \$40. \$ 40.00

**TOTAL FEES FOR THE ABOVE APPLICATION \$ 750.00**

In the event there is attached hereto no check, or a check for an insufficient amount, please charge the fee to our Account No. 18-0002 and notify us accordingly.

The rights of priority are claimed under 35 USC §119 of Taiwanese Application No. 89105767, filed March 29, 2000.

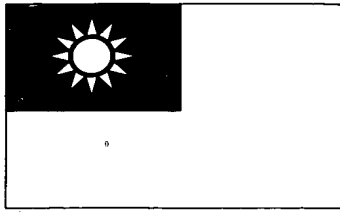
March 14, 2001

Date

Respectfully submitted,

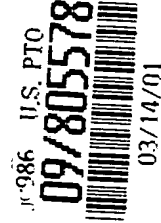
Steven M. Rabin, Registration No. 29,102

**FEES ENCLOSED:\$**  
Please charge any further  
fee to our Deposit Account  
N. 18-0002



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE  
MINISTRY OF ECONOMIC AFFAIRS  
REPUBLIC OF CHINA



茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，  
其申請資料如下：

This is to certify that annexed is a true copy from the records of this  
office of the application as originally filed which is identified hereunder:

申請日：西元 2000 年 03 月 29 日  
Application Date

申請案號：089105767  
Application No.

申請人：神達電腦股份有限公司  
Applicant(s)

局長  
Director General

陳明邦

發文日期：西元 2000 年 7 月 7 日  
Issue Date

發文字號：  
Serial No. 08911008983

1150676(297)

申請日期：

案號：

類別：

(以上各欄由本局填註)

## 發明專利說明書

一、 發明名稱	中文	PCI bus cycle單步中斷除錯卡之裝置及其方法
	英文	
二、 發明人	姓名 (中文)	1. 蔡俊男 2. 屈厚禮 3. 馮志豪
	姓名 (英文)	1. 2. 3.
	國籍	1. 中華民國 2. 中華民國 3. 中華民國
	住、居所	1. 新竹市振興路54號3F 2. 新竹市中華路六段647巷31弄23號 3. 新竹縣芎林鄉上山村7鄰162號
三、 申請人	姓名 (名稱) (中文)	1. 神達電腦股份有限公司
	姓名 (名稱) (英文)	1.
	國籍	1. 中華民國
	住、居所 (事務所)	1. 新竹科學工業園區研發二路1號
	代表人 姓名 (中文)	1. 苗豐強
	代表人 姓名 (英文)	1.



四、中文發明摘要 (發明之名稱：PCI bus cycle單步中斷除錯卡之裝置及其方法)

本發明所提出的應用PCI界面之單步除錯卡，即利用匯流排主宰(bus master)於所欲檢視PCI匯流排週期期間發出REQ#訊號要求下一bus cycle之主控權，並將該匯流排週期的位址(address)，資料(data)，指令(command)，位元致能(BE#)等訊號狀態予以栓鎖並透過LED顯示，作為單步除錯之檢視依據。而最後藉由SWITCH電路開關切換，送出一TRDY#備妥訊號，並於該TRDY#備妥訊號結束時同時將裝置選擇訊號(DEVSEL#)拉為高電位，以通知單步中斷除錯卡上之匯流排主宰結束該一週期，達到單步除錯的功能。

英文發明摘要 (發明之名稱：)



本案已向

國(地區)申請專利

申請日期

案號

主張優先權

無

有關微生物已寄存於

寄存日期

寄存號碼

無

## 五、發明說明 (1)

### 【發明領域】

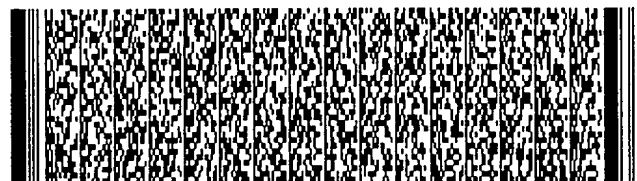
本發明為一種單步除錯卡，特別是一種應用週邊元件交互連接(Peripheral Component Interconnect, PCI)界面之單步除錯卡。

### 【發明背景】

如第1圖所示，描繪目前所廣為使用的計算機系統之結構方塊圖。明顯的，CPU 10係透過CPU匯流排20與NB(North bridge，為一晶片組)30相連接；而NB 30除了與記憶體40(可以是SDRAM、EDORAM等記憶體)相接之外，更透過AGP匯流排50與AGP VGA卡60相連。此外，NB 30則經由PCI匯流排70與SB(South bridge，亦為一晶片組)80相接，用以傳遞資料與訊息；而SB 80除了與硬碟(HD)90、光碟機(CD ROM)100、通用串列匯流排(Universal Serial Bus, USB)110、輸入裝置(諸如滑鼠、鍵盤等)120相接，用以存取或輸入資料之外，更分別透過XD匯流排130與ISA匯流排140，與基本輸入輸出系統(BIOS)150以及聲頻裝置(Audio，例如音效卡)160相接。

傳統的單步中斷除錯卡乃是應用在工業標準構造匯流排(Industry Standard Architecture BUS, ISA BUS)上，藉由用來結束ISA BUS Cycle的IOCHRDY訊號強迫維持在低電位，以達到延長該BUS Cycle的目的，並使得相關位址及資料線匯流排狀態得以被檢視。

而在PCI BUS上，CPU對於傳統系統BIOS之讀取需透過PCI/ISA bridge將讀取週期由PCI BUS轉送至ISA BUS，



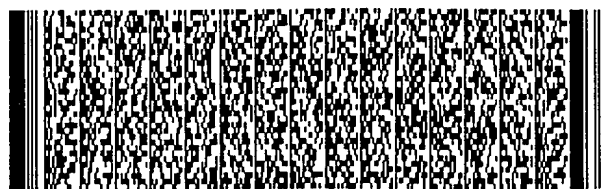
## 五、發明說明 (2)

俟BIOS資料由位於ISA BUS上之ROM讀出後，再藉由PCI/ISA bridge將資料由ISA BUS送回PCI BUS。由於BIOS資料讀取週期在PCI BUS上須由PCI/ISA bridge作回應，亦即相關之PCI週期控制訊號如DEVSEL#、TRDY#等均由PCI/ISA bridge產生，也因此不可能單純地藉由將用以結束PCI週期之訊號如TRDY#維持在高電位，就達到暫停BUS Cycle之目的。

而目前市面上應用於PCI BUS上之除錯卡，或仍需藉由ISA BUS中斷除錯卡之輔助，藉由將用以結束ISA BUS Cycle的IOCHRDY訊號強迫維持在低電位，而達到延長該BUS Cycle的目的，或只是於開機初期將部份BIOS資料及位址栓鎖至緩衝記憶體後再逐一讀出，而不具真正暫停BUS Cycle，並進而作即時檢視之功能。

### 【發明之概述及目的】

就一正常PCI bus cycle而言，當FRAME#訊號由HIGH變為LOW時，即表示PCI bus cycle的開始。此時，在AD bus上呈現的是PCI bus cycle所欲定址之address，而在C/BE# bus上呈現的是command。PCI BUS Cycle上所有device會對此address及command進行解碼，以確定本身是否為該一PCI bus cycle之標的裝置(target device)。若是，則送出DEVSEL#訊號，並將DEVSEL#訊號維持在低電位，以作為回應。當該標的裝置完成讀寫時，會發出TRDY#訊號通知PCI host進行後續之資料傳送動作，倘若在該bus cycle期間有任何bus master發出REQ#訊號要求bus的



### 五、發明說明 (3)

控制權，且PCI arbiter亦回應GNT#訊號，則於該bus cycle完成後，將由該bus master取得下一bus cycle之主控權，亦即相關之PCI bus控制訊號如FRAME#，IRDY#及Address，Command等將由該bus master發出。

本發明所提出的應用PCI界面之單步除錯卡，即利用上述bus master功能。將所欲檢視PCI bus cycle期間發出REQ#訊號要求下一bus cycle之主控權，並將該bus cycle的address，data，command，BE#等訊號狀態予以栓鎖並透過LED顯示，當PCI arbiter回應GNT#訊號認可後，單步中斷除錯卡即於次一cycle發送特定的address，command及FRAME#，IRDY#等訊號，該特定的address及command經單步中斷除錯卡上之標的裝置(Target Device)解碼後，由該標的裝置發出DEVSEL#訊號，並將其維持在低電位。藉由該bus master cycle暫停PCI bus上之動作，使前一bus cycle期間所栓鎖住的address，data，command，BE#等訊號狀態因而得以一直顯示於LED上，作為單步除錯之檢視依據。而最後藉由一切換開關，送出一TRDY#訊號，並於該TRDY#訊號結束時同時將DEVSEL#訊號拉為HIGH，以通知單步中斷除錯卡上之bus master結束該一cycle。

有關本發明之詳細內容及技術，茲就配合圖式說明如下：

#### 【發明之詳細說明】

本發明實施例之時序圖如第2圖所示：描繪不同匯流

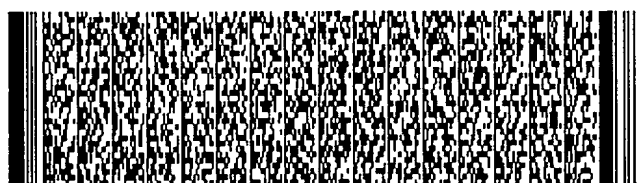




#### 五、發明說明 (4)

排傳輸頻率，與依據PCI匯流排傳輸頻率所產生之取樣時序的關係。就一正常週邊元件交互連接匯流排週期(Peripheral Component Interconnect bus cycle; PCI bus cycle)而言，當框訊號(FRAME#)由高電位變為低電位時，即表示PCI bus cycle的開始。此時，在AD bus上呈現的是PCI bus cycle所欲定址之位址(address)，而在C/BE# bus上呈現的是指令(command)。而PCI bus cycle上所有裝置會對此address及command進行解碼，以確定本身是否為該一PCI bus cycle之標的裝置(target device)。若是，則送出裝置選擇訊號(DEVSEL#)，並將DEVSEL#訊號維持在低電位，以作為回應。當該標的裝置完成讀寫時，會發出TRDY#備妥訊號通知PCI host進行後續之資料傳送動作，倘若在該bus cycle期間有任何匯流排主宰(bus master)發出REQ#訊號要求bus的控制權，且PCI仲裁(arbiter)亦回應一GNT#訊號，則於該bus cycle完成後，將由該bus master取得下一bus cycle之主控權，亦即相關之PCI bus控制訊號如FRAME#，IRDY#及Address，Command等將由該bus master發出。

本發明所提出的應用PCI界面之單步除錯卡，即利用上述bus master功能。將所欲檢視PCI bus cycle期間發出REQ#訊號要求下一bus cycle之主控權，並將該bus cycle的address，data，command，BE#等訊號狀態予以栓鎖並透過LED顯示，當PCI arbiter回應GNT#訊號認可後，單步中斷除錯卡即於次一cycle發送特定的address，



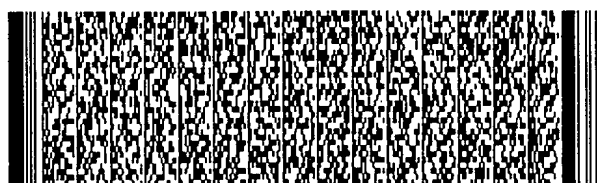
#### 五、發明說明 (5)

command 及 FRAME#，IRDY# 等訊號，該特定的 address 及 command 經單步中斷除錯卡上之標的裝置(Target Device)解碼後，由該標的裝置發出 DEVSEL# 訊號，並將其維持在低電位。藉由該 bus master cycle 暫停 PCI bus 上之動作，使前一 bus cycle 期間所栓鎖住的 address，data，command，BE# 等訊號狀態因而得以一直顯示於 LED 上，作為單步除錯之檢視依據。而最後藉由 SWITCH 電路開關切換，送出一 TRDY# 備妥訊號，並於該 TRDY# 備妥訊號結束時同時將 DEVSEL# 訊號拉為高電位，以通知單步中斷除錯卡上之 bus master 結束該一 cycle。

第3圖為本發明實施例之單步中斷除錯訊號流程示意圖，配合第2圖進一步說明如下：

當所欲檢視之 PCI bus cycle 開始時，PCI host(如第1圖中之 North bridge 30)會將所欲定址之裝置位址(device address)置於 AD bus，而將 PCI 匯流排指令(bus command)置於 C/BE#，並將 FRAME# 訊號拉為 LOW。此時，PCI bus 上所有裝置(device)會對 address 及 command 進行解碼，以確定本身是否為該 bus cycle 之標的裝置(target device)，解碼符合之標的裝置會將 DEVSEL# 訊號拉為 LOW 作為回應。藉由 Address/Command 栓鎖控制邏輯電路 170 所產生之控制訊號，所欲檢視 bus cycle 之 address 及 command 被栓鎖於 Address/Command 栓鎖器 180 之內。

PCI host 於可開始進行讀寫處理時，將 IRDY# 訊號拉為 LOW。而標的裝置於完成讀寫處理時，將 TRDY# 拉為 LOW

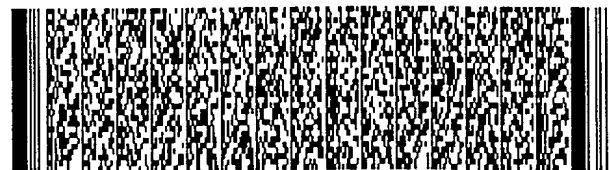
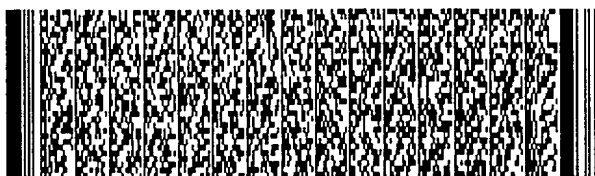


##### 五、發明說明 (6)

。Data/BE# 訊號栓鎖控制邏輯電路240於IRDY#及TRDY#同時為LOW時，將所欲檢視bus cycle之Data及BE#訊號栓鎖於Data/BE#栓鎖器250之內，並透過顯示器電路260顯示。同時，藉由Address/Command緩衝器控制電路210所產生之控制訊號打開緩衝器220之輸出，將已被栓鎖於栓鎖器180中之address及command透過顯示器電路230顯示。緩衝器220之輸出僅在所欲檢視之bus cycle期間當IRDY#及TRDY#均為LOW時打開，其餘情況下均保持關閉。

在該bus cycle期間，bus master控制訊號產生邏輯電路270將REQ#拉為LOW，用以向PCI arbiter(位於North bridge 30)要求後續bus cycle之主控權。當PCI arbiter將GNT#訊號拉為LOW回應認可後，單步中斷除錯卡上之bus master於該bus cycle結束後，取得bus之控制權。

於bus master cycle開始時，bus master address/data產生電路280及Command/BE#產生邏輯電路290將特定之address及command分別置於AD及C/BE# bus，Bus master控制訊號產生邏輯電路270並先後將FRAME#及IRDY#拉為LOW。為避免bus上其他裝置在bus master cycle期間發送DEVSEL#及TRDY#訊號造成cycle結束，此特定之address乃是用以定址單步中斷除錯卡上之特定標的裝置。在透過栓鎖器180栓鎖address及command，及經過address/command解碼邏輯電路190解碼符合後，該標的裝置透過DEVSEL#訊號產生邏輯電路200將DEVSEL#拉為LOW回應此一cycle。而由於緩衝器220之輸出保持關閉狀態，因



##### 五、發明說明 (7)

此bus master所送出之特定address及command並不會被顯示。

當切換開關300被按下之後，產生一開/關轉換訊號，並藉由彈跳抑制電路310消除轉換時的談跳現象。標的裝置藉由TRDY#訊號產生邏輯電路320將TRDY#訊號拉為LOW，持續一個PCI clock後將其拉為HIGH。並藉由DEVSEL#訊號產生邏輯電路200將DEVSEL#訊號拉為HIGH，同時bus master亦藉由Bus master控制訊號產生電路270將IRDY#拉為HIGH，結束此一bus master cycle。由bus master cycle所被栓鎖、緩衝及顯示之address、data、command、BE#等訊號狀態，也因而得以一直透過顯示器電路230及260顯示。而Bus master控制訊號產生電路270在bus master cycle期間將REQ#拉為HIGH，使Bus master於bus master cycle結束時交還bus之主控權，並使PCI bus繼續進行被中斷cycle之下一cycle。

雖然本發明以前述之較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



## 圖式簡單說明

### 【圖式簡單說明】

第1圖為習知計算機系統之結構方塊圖；

第2圖為本實施例時序圖，描繪不同匯流排傳輸頻率，與依據PCI匯流排傳輸頻率所產生之取樣時序的關係；及

第3圖為本發明實施例之單步中斷除錯訊號流程示意圖；

### 【符號說明】

- 10 CPU
- 20 CPU 匯流排
- 30 NB(North bridge，為一晶片組)
- 40 記憶體
- 50 AGP 匯流排
- 60 AGP VGA 卡
- 70 PCI 匯流排
- 80 SB(South bridge，為一晶片組)
- 90 硬碟(HD)
- 100 光碟機(CD ROM)
- 110 串列匯流排(Universal Serial Bus，USB)
- 120 輸入裝置(諸如滑鼠、鍵盤等)
- 130 XD 匯流排
- 140 ISA 匯流排
- 150 基本輸入輸出系統(BIOS)
- 160 聲頻裝置(Audio，例如音效卡)
- 170 Address/Command 栓鎖控制邏輯電路
- 180 Address/Command 栓鎖器



圖式簡單說明

- 190 Address/Command 解碼邏輯電路
- 200 DEVSEL# 訊號產生邏輯電路
- 210 Address/Command 緩衝器控制邏輯電路
- 220 Address/Command 緩衝器
- 230 顯示器電路
- 240 Data/BE# 訊號栓鎖控制邏輯電路
- 250 Data/BE# 訊號栓鎖器
- 260 顯示器電路
- 270 Bus master 控制信號產生邏輯電路
- 280 Bus master address/data 產生邏輯電路
- 290 Bus master command/BE# 產生邏輯電路
- 300 切換開關
- 310 彈跳抑制電路
- 320 TRDY# 訊號產生邏輯電路



## 六、申請專利範圍

1. 一種週邊元件交互連接(Peripheral Component Interconnect, PCI)匯流排週期單步中斷除錯的方法，該方法至少包含下列步驟：

由匯流排主宰(bus master)發出一要求訊號(REQ#)，要求該匯流排週期的控制權；

將該匯流排週期的位址(address)，資料(data)，指令(command)，位元致能(BE#)等訊號狀態予以栓鎖並透過顯示器顯示；

當PCI仲裁(arbiter)回應一認可訊號(ACK#)認可後，於次一該匯流排週期發送特定的該位址、該指令、框訊號(FRAME#)與IRDY#備妥等訊號；

將該特定的位址、指令經一標的裝置(Target Device)解碼後，由該標的裝置發出一裝置選擇訊號(DEVSEL#)；

顯示前一該匯流排週期期間所栓鎖住的該位址，該資料，該指令，該位元致能等訊號狀態於顯示器上；及

藉由一切換開關，送出一TRDY#備妥訊號，以結束該PCI匯流排週期。

2. 如申請專利範第1項所述之方法，其中上述由該標的裝置發出該裝置選擇訊號的步驟，係將該裝置選擇訊號維持在低電位，以藉由該匯流排主宰的週期暫停該PCI匯流排上之動作。

3. 如申請專利範第1項所述之方法，其中上述之結束該PCI匯流排週期的步驟係藉由該TRDY#備妥訊號結束時同時將



## 六、申請專利範圍

該裝置選擇訊號拉為高電位，以通知該匯流排主宰結束該匯流排週期。

4. 如申請專利範第1項所述之方法，其中上述之切換開關，係透過一彈跳抑制電路消除在開/關的轉換時，所產生不被預期的彈跳現象。

5. 一種週邊元件交互連接匯流排週期(Peripheral Component Interconnect bus cycle; PCI bus cycle)單步中斷除錯卡，該除錯卡至少包含：

一位址/指令栓鎖控制邏輯電路，用以產生該位址/指令控制信號，並透過一位址/指令栓鎖器栓鎖該位址/指令；

一位址/指令緩衝器控制邏輯電路，藉由上述所栓鎖的該位址/指令輸出一控制信號至一位址/指令緩衝器；

一資料/位元致能訊號栓鎖控制邏輯電路，用以產生該資料/位元致能匯流排的栓鎖控制信號，並藉由一資料/位元致能訊號栓鎖器栓鎖住該資料/位元致能訊號；

一匯流排主宰(bus master)控制信號產生邏輯電路，用以發出要求訊號(REQ#)要求該匯流排的控制權；及

一切換開關，送出一TRDY#備妥訊號，以通知該PCI匯流排週期單步中斷除錯卡上之該匯流排主宰結束該PCI匯流排週期。

6. 如申請專利範第5項所述之PCI匯流排週期單步中斷除錯卡，其中上述位址/指令栓鎖控制邏輯電路更包含一位址/指令解碼邏輯電路，用以對該位址/指令進行解碼，以確





## 六、申請專利範圍

定該位址/指令是否為該PCI匯流排週期之標的裝置(target device)。

7. 如申請專利範第6項所述之PCI匯流排週期單步中斷除錯卡，其中更包含符合該PCI匯流排週期之標的裝置(target device)時，藉由一裝置選擇訊號(DEVSEL#)產生邏輯電路，在次一該PCI匯流排週期中送出該裝置選擇訊號，以作為回應的步驟。
8. 如申請專利範第5項所述之PCI匯流排週期單步中斷除錯卡，其中上述之位址/指令緩衝器係透過一顯示器電路顯示該位址/指令以進行檢測。
9. 如申請專利範第5項所述之PCI匯流排週期單步中斷除錯卡，其中上述之資料/位元致能訊號栓鎖器係透過一顯示器電路顯示該資料/位元致能訊號以進行檢測。
10. 如申請專利範第5項所述之PCI匯流排週期單步中斷除錯卡，其中上述之匯流排主宰控制信號產生邏輯電路，更透過一匯流排主宰位址/資料產生邏輯電路，使前一該PCI匯流排週期期間所栓鎖住的該位址/資料訊號狀態，並將該位址/資料訊號顯示於該顯示器上。
11. 如申請專利範第5項所述之PCI匯流排週期單步中斷除錯卡，其中上述之匯流排主宰控制信號產生邏輯電路，更透過一匯流排主宰指令/位元致能產生邏輯電路，使前一該PCI匯流排週期期間所栓鎖住的該指令/位元致能訊號狀態，並將該指令/位元致能訊號顯示於該顯示器上。
12. 如申請專利範第5項所述之PCI匯流排週期單步中斷除

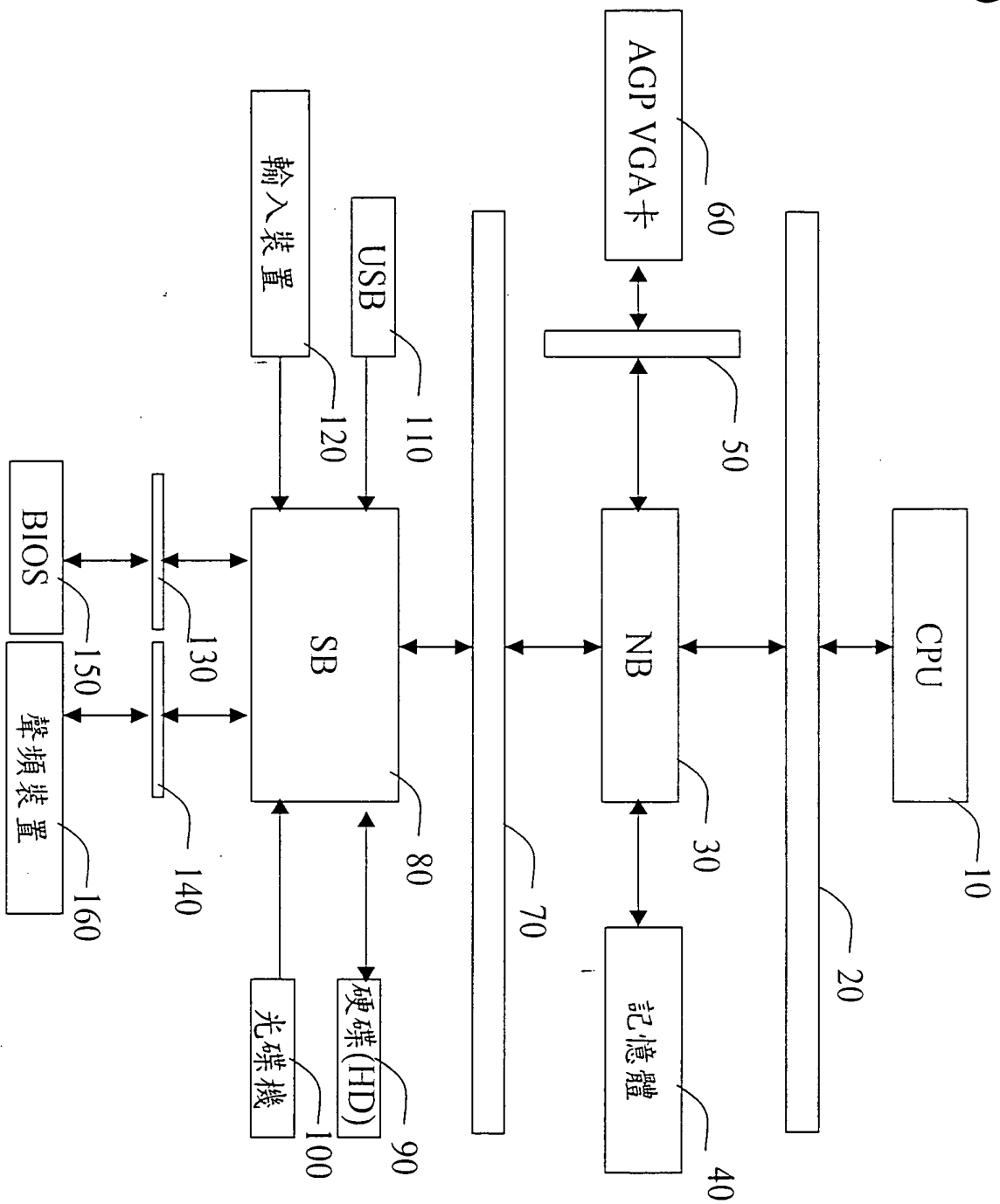


#### 六、申請專利範圍

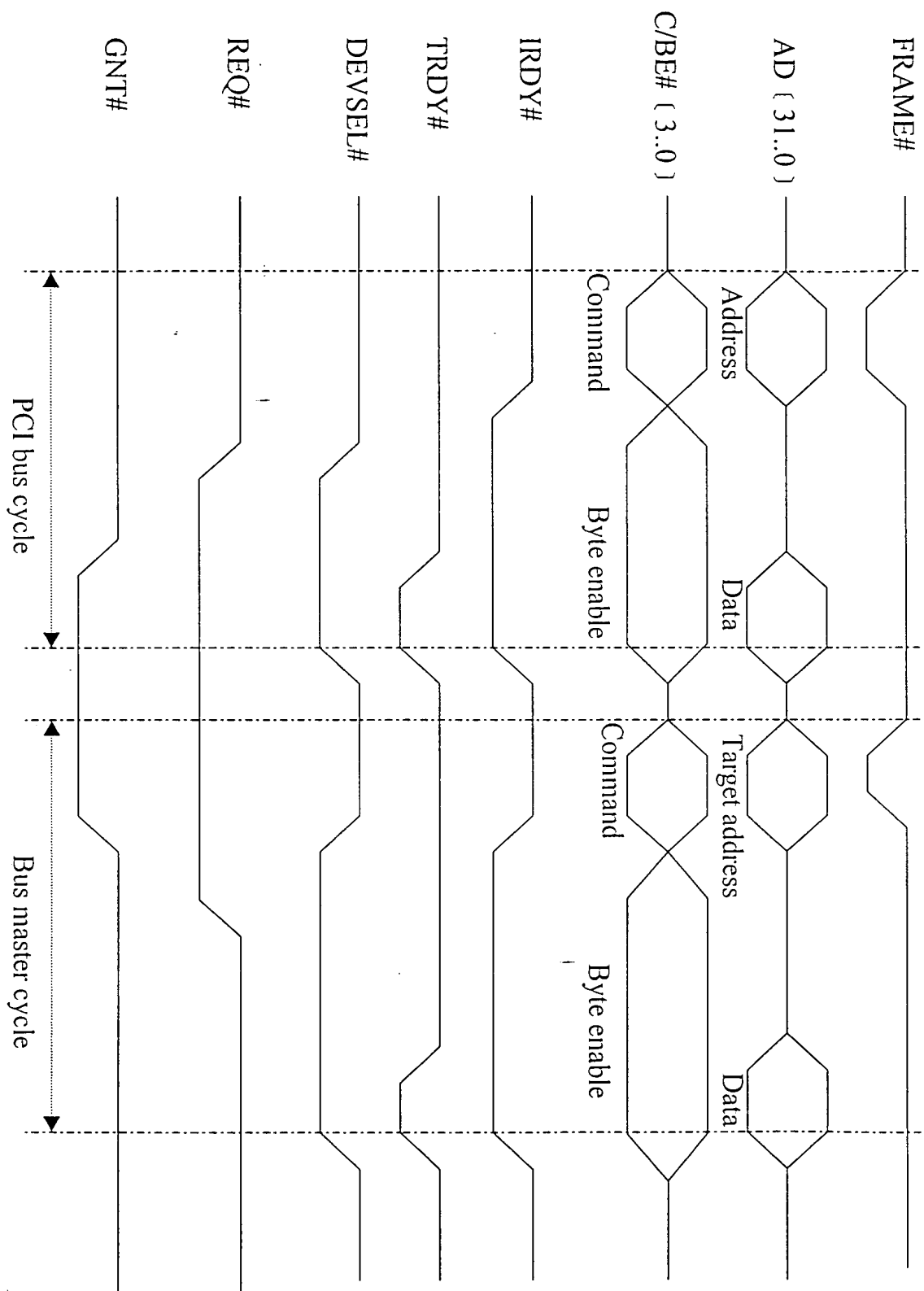
錯卡，其中上述之結束該PCI匯流排週期係藉由該TRDY#備妥訊號結束時同時將該裝置選擇訊號拉為高電位，以通知該PCI匯流排週期單步中斷除錯卡上之該匯流排主宰結束該PCI匯流排週期。

13. 如申請專利範第5項所述之PCI匯流排週期單步中斷除錯卡，其中上述之切換開關，係透過一彈跳抑制電路消除在開/關的轉換時，所產生不被預期的彈跳現象。



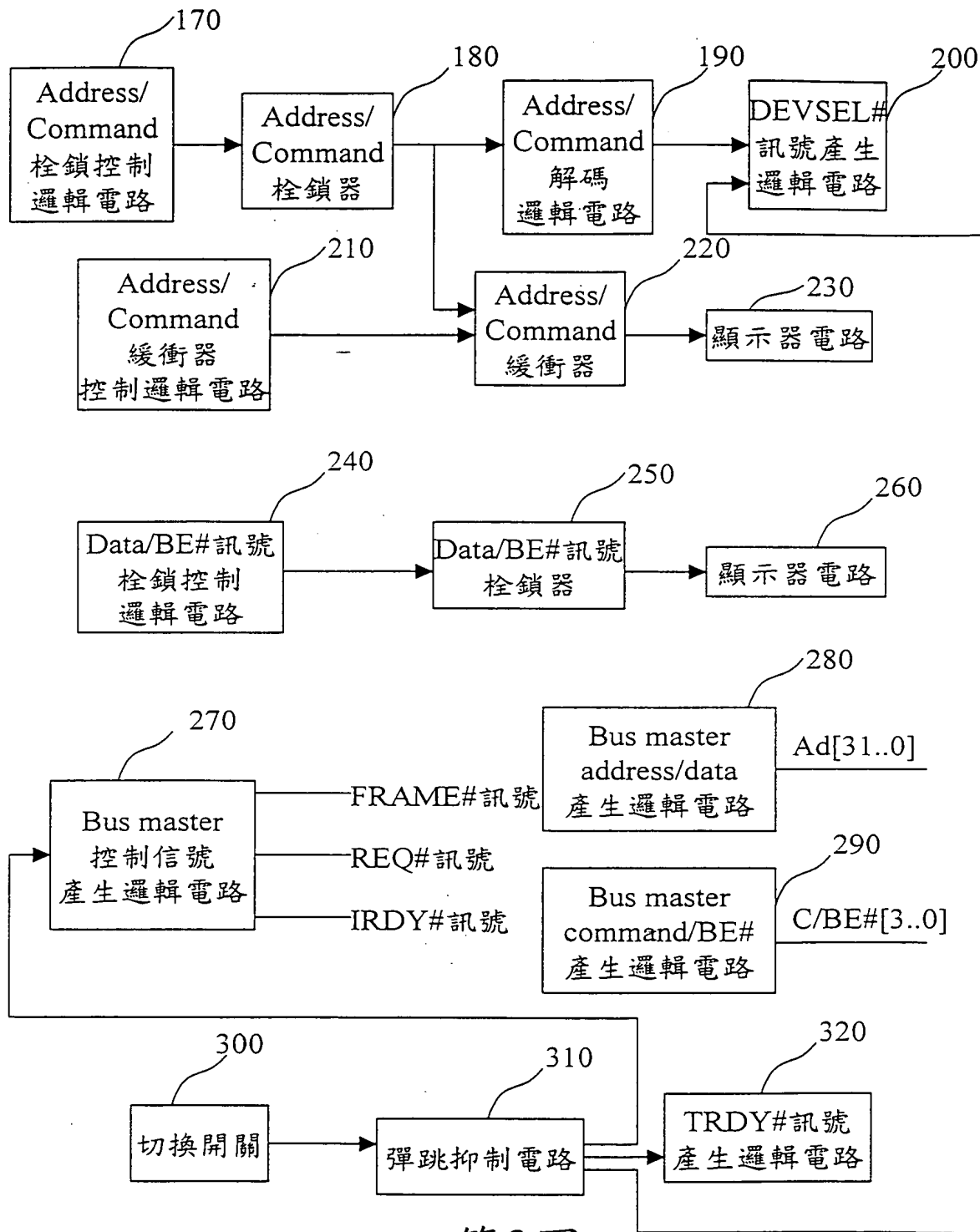


第1圖



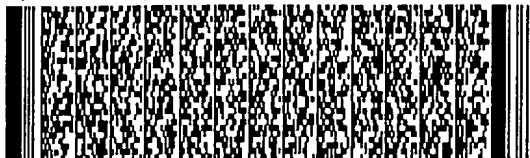
第2圖

圖式



第3圖

第 1/16 頁



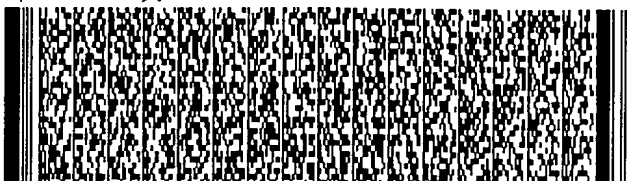
第 2/16 頁



第 4/16 頁



第 4/16 頁



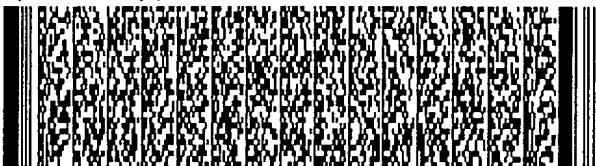
第 5/16 頁



第 5/16 頁



第 6/16 頁



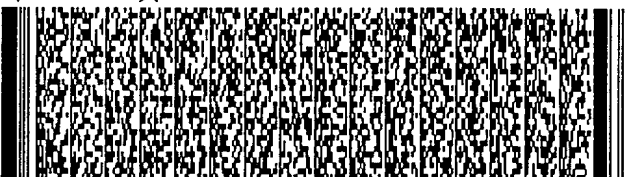
第 6/16 頁



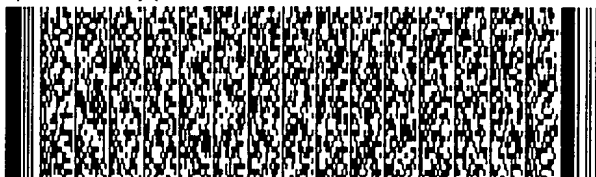
第 7/16 頁



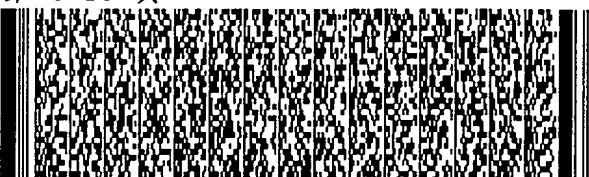
第 7/16 頁



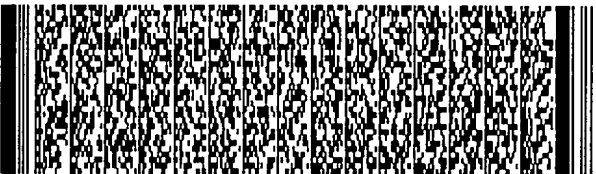
第 8/16 頁



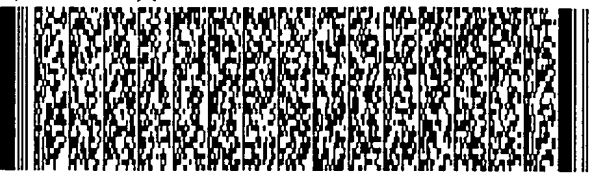
第 8/16 頁



第 9/16 頁



第 9/16 頁



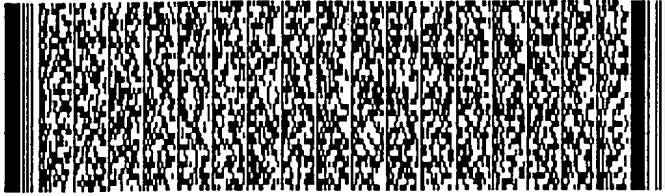
第 10/16 頁



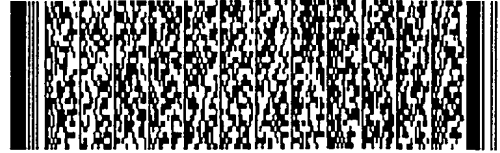
第 10/16 頁



第 11/16 頁



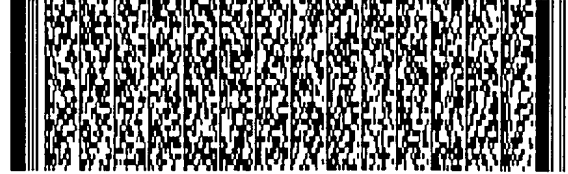
第 12/16 頁



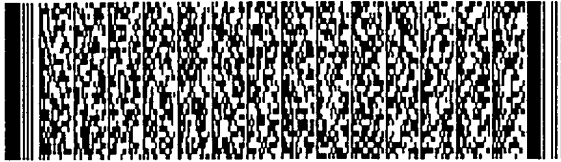
第 13/16 頁



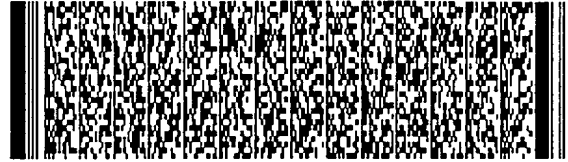
第 13/16 頁



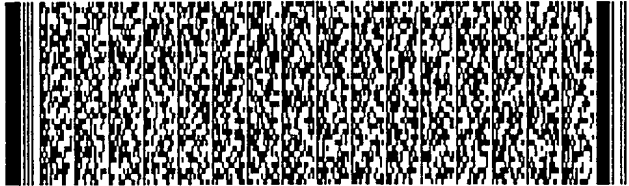
第 14/16 頁



第 14/16 頁



第 15/16 頁



第 16/16 頁

